

(19)



JAPANESE PATENT OFFICE

BEST AVAILABLE COPY

29

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001284556 A

(43) Date of publication of application: 12.10.01

(51) Int. Cl.

H01L 27/115
H01L 21/76
H01L 21/8247
H01L 29/788
H01L 29/792

(21) Application number: 2000099047

(22) Date of filing: 31.03.00

(7) Applicant: TOSHIBA CORP

(72) Inventor: SHIMIZU KAZUHIRO

**(54) NON-VOLATILE SEMICONDUCTOR MEMORY
DEVICE AND PRODUCING METHOD THEREFOR**

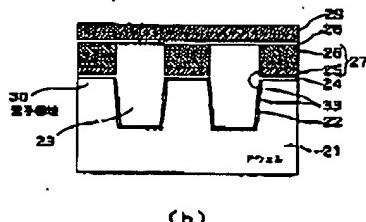
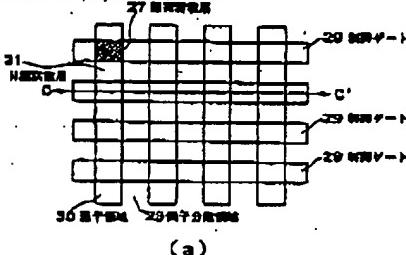
(57) Abstract:

PROBLEM TO BE SOLVED: To provide the non-volatile semiconductor memory device of low cost and high density reduced in the element separate width of a memory cell and improved in work controllability by reducing the embedding aspect of an element separate insulating film and a producing method therefor.

SOLUTION: Charge storage layers (27, 47 and 67) of a non-volatile semiconductor memory cell are made into laminated structure composed of at least two of conductive layers (25, 26, 45, 46, 65 and 66), the end face position of the lowermost conductive layer is matched with the terminal position of an element separate area, and the width of the uppermost conductive layer is equal with or wider than that of the lowermost conductive layer. Since the first conductive layer is thin, the embedding aspect is reduced and the second conductive layer is made into film thickness required for making capacity with control gates (29, 49, 69 and 88) into desired

value. The uppermost layer can be formed in the self-matching manner with the element separate area. Besides, isotropic etching can be used for widening the uppermost layer.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-284556

(P2001-284556A)

(43)公開日 平成13年10月12日 (2001.10.12)

(51) Int.Cl.
 H 01 L 27/115
 21/76
 21/8247
 29/788
 29/792

識別記号

F I
 H 01 L 27/10
 21/76
 29/78

テマコト(参考)
 434 5 F 001
 L 5 F 032
 371 5 F 083
 5 F 101

審査請求 未請求 請求項の数19 ○L (全19頁)

(21)出願番号 特願2000-99047(P2000-99047)
 (22)出願日 平成12年3月31日 (2000.3.31)

(71)出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (72)発明者 清水和裕
 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
 (74)代理人 100064285
 弁理士 佐藤一雄 (外3名)

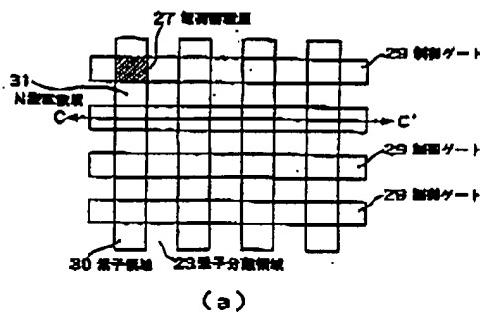
最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置およびその製造方法

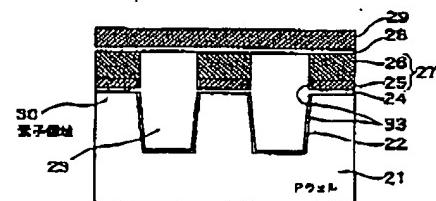
(57)【要約】

【課題】素子分離絶縁膜の埋め込みアスペクトを小さくしてメモリセルの素子分離幅を小さくするとともに加工制御性に優れた、低コスト高密度の不揮発性半導体記憶装置およびその製造方法を提供する。

【解決手段】不揮発性半導体記憶セルの電荷蓄積層(27、47、67)を少なくとも2層の導電層(25, 26, 45, 46, 65, 66)からなる積層構造とし、最下層の導電層の端面位置は素子分離領域の端部位置と一致し、最上層の導電層は最下層の導電層と同じ幅あるいは広幅となっている。第1の導電層は薄いため埋め込みアスペクトが低減され、第2の導電層は制御ゲート(29、49、69、88)との間の容量を所望の値にするために必要な膜厚とする。最上層は素子分離領域と自己整合的に形成することができる。また最上層の幅を広げるために等方エッチングを用いることができる。



(a)



(b)

【特許請求の範囲】

【請求項1】半導体基板上に一方向に延在して設けられた複数のトレンチ溝と、

前記トレンチ溝内に素子分離絶縁膜が埋設された素子分離領域と、

前記素子分離領域によってそれぞれ電気的に分離された複数の半導体領域と、

前記半導体領域上に第1のゲート絶縁膜を介して形成された電荷蓄積層と、

前記電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートとを有するメモリセルが複数個接続されてセルアレイを構成している不揮発性半導体記憶装置において、

前記電荷蓄積層は2層以上の導電層の積層構造となっており、そのうちの最下層の導電層の側端部位置が前記トレンチ溝壁位置と一致し、最上層の導電層の幅は、最下層の導電層の幅と同じあるいは広く、前記素子分離絶縁膜の上面と前記電荷蓄積層の最上層の上面とが一致していることを特徴とする不揮発性半導体記憶装置。

【請求項2】半導体基板上に一方向に延在して設けられた複数のトレンチ溝と、

前記トレンチ溝内に素子分離絶縁膜が埋設された素子分離領域と、

前記素子分離領域によってそれぞれ電気的に分離された複数の半導体領域と、

前記半導体領域上に第1のゲート絶縁膜を介して形成された電荷蓄積層と、

前記電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートとを有するメモリセルが複数個接続されてセルアレイを構成している不揮発性半導体記憶装置において、

前記電荷蓄積層は2層以上の導電層の積層構造となっており、そのうちの最下層の導電層の側端部位置が前記トレンチ溝壁位置と一致し、最上層の導電層の幅は、最下層の導電層の幅と同じあるいは広く、前記素子分離用絶縁膜の上面は、前記電荷蓄積層の最上層の下面と上面との間の範囲に位置していることを特徴とする不揮発性半導体記憶装置。

【請求項3】前記電荷蓄積層に含まれる最上層の導電層は前記素子分離領域に対して自己整合的に形成されていることを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項4】前記電荷蓄積層に含まれる最上層の導電層と最下層の導電層とは、電気的に接続されて短絡状態あるいは同電位となっていることを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項5】前記電荷蓄積層に含まれる最上層の導電層の膜厚は、最下層の導電層の膜厚と同じあるいは厚いことを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

(2) 001-284556 (P2001-284556A)

【請求項6】前記電荷蓄積層の上面、前記素子分離用絶縁膜の上面、および前記電荷蓄積層の最上層の側面であって前記素子分離用絶縁膜の上面から前記最上層の上面に至る面には前記第2の絶縁膜が形成され、この第2の絶縁膜の上には前記制御ゲートが形成されていることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項7】前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記電荷蓄積層の最上面との段差がセルアレイ内ではほぼ一定であることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

【請求項8】前記セルアレイ内に前記メモリセルと同一積層ゲート構造を有するスイッチング用の選択トランジスタを含むことを特徴とする請求項1または2に記載の不揮発性半導体記憶装置。

【請求項9】前記不揮発性半導体記憶装置は、トランジスタをさらに有し、

前記トランジスタは前記半導体基板上に第3のゲート絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極に接触して形成された第2のゲート電極とを含むことを特徴とする請求項8に記載の不揮発性半導体記憶装置。

【請求項10】前記トランジスタは、前記第3のゲート絶縁膜が膜厚の異なる少なくとも2種類の膜を含む層として構成され、

前記トランジスタのうちの高耐圧用途のものは前記第3のゲート絶縁膜が前記第1のゲート絶縁膜よりも厚く、前記トランジスタのうち低電圧用途のものは前記第3のゲート絶縁膜が前記第1のゲート絶縁膜と同一膜厚か薄いことを特徴とする請求項9に記載の不揮発性半導体記憶装置。

【請求項11】前記第1のゲート電極は前記電荷蓄積層と同様の電気的に接続された2層以上の導電層で形成され、

前記第1のゲート電極を構成する最下層の導電層の前記素子分離領域と接する側端部の位置が、前記トレンチ溝壁の位置と一致していることを特徴とする請求項9に記載の不揮発性半導体記憶装置。

【請求項12】前記第1のゲート電極を構成する複数の導電層は、前記メモリセルの前記電荷蓄積層を構成する導電複数の導電層と同一材料から構成され、

前記第2のゲート電極は前記メモリセルの前記制御ゲートと同一材料から構成されていることを特徴とする請求項9に記載の不揮発性半導体記憶装置。

【請求項13】前記メモリセルアレイ内の前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記電荷蓄積層最上面の段差は、前記トランジスタが含まれる回路部内の前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記第1のゲート電極最上面の段差よりも小さいことを特徴とする請求項7に記載の不揮発性半導体記憶装置。

(3) 001-284556 (P 2001-284556A)

3

【請求項14】前記メモリセルアレイ内の前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記電荷蓄積層最上面の段差は、前記トランジスタが含まれる回路部内の前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記第1のゲート電極最上面の段差よりも大きいことを特徴とする請求項7に記載の不揮発性半導体記憶装置。

【請求項15】半導体基板上に一方向に延在して設けられたトレンチ溝内に素子分離絶縁膜が埋設された複数の素子分離領域と、

前記素子分離領域によってそれぞれ電気的に分離された複数の半導体領域と、

前記半導体領域上に第1のゲート絶縁膜を介して形成された、2層以上の導電層の積層構造よりなる電荷蓄積層と、

前記電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートとを有するメモリセルが複数個接続されてセルアレイを構成している不揮発性半導体記憶装置において、

隣接する前記素子分離領域側端部間の距離をX1、隣接する前記電荷蓄積層のうちの最下層側端間の距離をY、その最上層側端間の距離をX2としたとき、

$$Y > X_1 \geq X_2$$

の関係にあることを特徴とする不揮発性半導体記憶装置。

【請求項16】半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、

前記第1の導電層上にマスク材を形成する工程と、

前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようエッティングしてトレンチ溝を形成する工程と、少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、

素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、

前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、

前記マスク材をはく離して第1の導電層上面を露出させる工程と、

半導体基板上に電荷蓄積層の最上層となる第2の導電層を堆積する工程と、

この第2の導電層を平坦化し、その上面が前記素子分離用絶縁膜上面と同一平面となるようにする工程と、

前記第2の導電層および前記素子分離用絶縁膜上に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜上に制御ゲート材を堆積する工程と、

前記マスク材をはく離して第1の導電層上面が露出する凹部を形成する工程と、

等方性エッティングにより前記凹部の横幅を増加させる工程と、

前記半導体基板上に電荷蓄積層の最上層となる第2の導電層

堆積された制御ゲート材を所定形状に加工する工程と、を備えた不揮発性半導体記憶装置の製造方法。

【請求項17】半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、

前記第1の導電層上にマスク材を形成する工程と、

前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようエッティングしてトレンチ溝を形成する工程と、

少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、

素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、

前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、前記マスク材をはく離して第1の導電層上面を露出させる工程と、

半導体基板上に電荷蓄積層の最上層となる第2の導電層を堆積する工程と、

この第2の導電層を平坦化し、その上面が前記素子分離用絶縁膜上面と同一平面となるようにする工程と、

前記素子分離用絶縁膜をその上面が前記第2の導電層の下面から上面の間に位置するように選択的にエッティングする工程と、

このエッティングにより露出した第2の導電層の側壁、前記第2の導電層の上面、および前記素子分離用絶縁膜の上面に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜上に制御ゲート材を堆積する工程と、

堆積された制御ゲート材を所定形状に加工する工程と、を備えた不揮発性半導体記憶装置。

【請求項18】半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、

前記第1の導電層上にマスク材を形成する工程と、

前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようエッティングしてトレンチ溝を形成する工程と、

少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、

素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、

前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、

前記マスク材をはく離して第1の導電層上面が露出する凹部を形成する工程と、

等方性エッティングにより前記凹部の横幅を増加させる工程と、

前記半導体基板上に電荷蓄積層の最上層となる第2の導電層

堆積された制御ゲート材を所定形状に加工する工程と、を備えた不揮発性半導体記憶装置の製造方法。

【請求項19】半導体基板上に第1のゲート絶縁膜を形成する工程と、

前記第1のゲート絶縁膜上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、

前記第1の導電層上にマスク材を形成する工程と、

前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようエッティングしてトレンチ溝を形成する工程と、

少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、

素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、

前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、

前記マスク材をはく離して第1の導電層上面が露出する凹部を形成する工程と、

等方性エッティングにより前記凹部の横幅を増加させる工程と、

前記半導体基板上に電荷蓄積層の最上層となる第2の導電層

を前記素子分離用絶縁膜上および前記凹部内に堆積させる工程と、

この第2の導電層を平坦化し、その上面が前記素子分離用絶縁膜上面と同一平面となるようにする工程と、前記素子分離用絶縁膜をその上面が前記前記第2の導電層の下面から上面の間に位置するように選択的にエッチングする工程と、

このエッチングにより露出した第2の導電層の側壁、前記第2の導電層の上面、および前記素子分離用絶縁膜の上面に第2のゲート絶縁膜を形成する工程と、

前記第2のゲート絶縁膜上に制御ゲート材を堆積する工程と、

堆積された制御ゲート材を所定形状に加工する工程と、を備えた不揮発性半導体記憶装置。

【請求項19】前記第1および第2の導電層の平坦化工程は、ドライエッティングあるいはポリッキングにより行われることを特徴とする請求項16ないし18のいずれかに記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置に係わり、特に高密度、高集積化に適した半導体メモリセル構造とその製造方法に関する。

【0002】

【従来の技術】電気的にデータの書き換えが可能で高密度化、大容量化に適した不揮発性半導体記憶装置としてフラッシュメモリが良く知られている。特に、電荷蓄積層と制御ゲートの積層ゲート構造を持つMOSトランジスタ構造のメモリセルが広く用いられている。

【0003】図15は浅溝素子分離(Shallow Trench Isolation : STI)構造を含むメモリセルの第1の従来例を示しており、図15(a)は平面図であり、図15(b)はそのA-A'断面図である。

【0004】P型シリコン基板あるいはPウエル1に素子分離用トレンチ溝2が形成され、このトレンチ溝内部には素子分離用絶縁材料、例えば2酸化シリコン材が埋め込まれている。このような素子分離された基板上の素子領域(チャネル領域)8全面にトンネル電流が流れ得る薄いトンネル絶縁膜4が形成され、この上に電荷蓄積層5が形成され、この上にさらにゲート間絶縁膜6を介して制御ゲート7が形成されている。また、図15(b)から、電荷蓄積層5の下面の一部5aがトレンチ溝2に沿う形で下方に突出していることが観察される。

【0005】図16は図15で示したSTIセル構造を得るための製造工程を示す工程別断面図である。

【0006】まず、図16(a)に示すように、半導体基板1上にダミー絶縁膜10を形成してさらにフォトマスク等のマスク材11を堆積し、フォトリソグラフィにより素子分離領域のマスク材11、ダミー絶縁膜10及び半導体基板1をその側端部が揃うようにエッチング

(4) 001-284556 (P2001-284556A)

除去してトレンチ溝2を形成する。

【0007】次に、適当な酸化条件を用いて熱酸化を行いトレンチ側壁の表面を酸化する。この時、マスク材は酸化に対してもマスクの役割を果たし、かつダミー絶縁膜部に形成されるいわゆるバーズピークがトレンチ側壁に形成される酸化膜よりも厚く形成されるため、トレンチ側端部は角が取れ、丸められる。

【0008】統いて半導体基板全面に素子分離絶縁膜を堆積してトレンチ溝2内に素子分離絶縁膜3を充填し、ドライエッティングによるエッチバックあるいは化学的研磨(CMP)による表面研磨によって素子分離用絶縁膜3の上面を平坦化するとともにマスク材11の上面を露出させる(図16(b))。

【0009】次に、マスク材11及びダミー酸化膜10をドライエッティング及び薬品処理によるウェットエッチングによって剥離し、統いてトンネル絶縁膜4、電荷蓄積層5を堆積する(図16(c))。

【0010】次にリソグラフィによるパターン形成によって電荷蓄積層7は素子分離領域上でスリット状に切断され、統いてゲート間絶縁膜6及び制御ゲート7を堆積し、バターニングによりゲート加工を行ってセル構造を完成させる。(図16(d))。

【0011】次に、電荷蓄積層5の下面の一部5aがトレンチ溝2に沿うように下方に突出した形状をなしている理由を、このメモリセルの動作とともに説明する。

【0012】このようなトンネル酸化膜を有するメモリセルのデータ書き換えは、電荷蓄積層5と半導体基板1間の電荷授受によって電荷蓄積層5内に蓄積する電荷量を変調することで行う。一般に電荷注入あるいは電荷放出の少なくともいずれか一方はトンネル絶縁膜4のFN(Fowler-Nordheim)トンネリング現象を利用する。すなわち、電荷蓄積層5と半導体基板1間に10MV/cm以上の高電界を印加して半導体基板1から電荷蓄積層5へあるいは電荷蓄積層5から半導体基板1へ電子を放出させる。この際、電荷蓄積層5は完全にフローティング状態であるため、電荷蓄積層5内の電荷はデータ書き換えを行わない限り変化しない。

【0013】この電荷蓄積層5に高電圧を印加するためには制御ゲート7に電圧を印加して制御ゲート7と電荷蓄積層5とを容量結合させる必要がある。しかしながら、制御ゲート7に印加する電圧が高いと印加電圧を発生させる昇圧回路や入出力スイッチ回路等を構成するトランジスタの各種耐圧をそれ以上に高くする必要があるため素子面積が増加してしまうという問題がある。

【0014】一方、トンネル絶縁膜4を介した電荷蓄積層5と半導体基板1間の容量をC1、ゲート間絶縁膜6を介した電荷蓄積層5と制御ゲート7間の容量をC2とすれば、トンネル絶縁膜4に印加される電圧V_{fg}は制御ゲート電圧V_{cg}を用いて以下の式で表される。

$$V_{fg} = C_2 / (C_1 + C_2) V_{cg}$$

この式から制御ゲート7に印加する電圧を低電圧化するためにはC2を大きくすること、つまり、ゲート間絶縁膜6を介した制御ゲート7と電荷蓄積層5間の容量を大きくすることが有効であることがわかる。したがって、制御ゲート7と電荷蓄積層5の対向面積を大きくすれば良く、前述したように、電荷蓄積層5を素子領域から素子分離領域に向かって突出した形状とすることによりこの要求を満たすことができる。

【0016】このような第1の従来例に示したメモリセル構造には大きく2つの問題点がある。

【0017】第1の問題点は素子分離幅の微細化が非常に困難であることである。電荷蓄積層5を素子分離領域上でスリット状に切断するためには素子領域や素子分離領域の幅よりも微細な加工が必要となるため、メモリセルの素子分離寸法が上記のスリット加工によって決定されてしまうこととなる。一般にスリット加工はリソグラフィ技術を用いて行うが、スリット加工を素子分離領域上で行うためにはスリットパターンがリソグラフィ工程で合わせずが生じても下層の素子領域とパターンが重ならないように合わせ余裕を含めてパターン配置をする必要がある。従って、たとえスリットパターンそのものを素子分離幅に比べて細いパターンに開口出来る場合でも素子分離幅は広がってしまう。つまり、電荷蓄積層をリソグラフィ技術を用いてスリット加工する従来例のメモリセル構造では素子分離幅の微細化が困難であると言える。

【0018】第2の問題点は素子領域幅の微細化が非常に困難であることである。従来例で示したメモリセル構造の場合、ダミー絶縁膜をウェットエッチングで剥離する際にトレンチ側端部が一部分露出する可能性がある。そのため、先に述べた様にトレンチ側端部にトンネル絶縁膜を介して電荷蓄積層間に寄生MOSキャバシタが形成される。寄生MOSキャバシタ部はトレンチ側端部の丸め量が少ない場合にはメモリセルのトランジスタ特性においてサブスレッシホールド領域にキック特性を発生させてカットオフ特性を著しく悪化させる。また、制御ゲートに高電圧を印加してFNトンネリング電子注入によるデータ書き込みを行う際には、寄生MOSキャバシタにゲート電界が集中してトンネル絶縁膜の絶縁破壊を引き起こす。

【0019】これを抑制するためにはトレンチ側端部の丸めをさらに多く行う必要があるが、丸め酸化を大量に行うこととは先に述べたバーズピークをトレンチ側端部に形成させるため、素子領域幅がトレンチ形成時に比べて著しく狭くなる。そのため、素子領域を所望の幅に形成するためには、パターン上は丸め酸化で目減りする分を考慮して幅を広くしなければならない。また、バーズピーク量が増えるとバーズピーク量のばらつきが大きくなるため、微細な素子寸法を正確に制御することが非常に困難となる。

(5) 001-284556 (P2001-284556A)

【0020】このように、第1の従来例に示したSTIメモリセル構造では素子分離幅及び素子領域幅の微細化が非常に困難であるという問題がある。

【0021】図17は上記の問題点を解決するSTIセル構造の一つとして特開平10-017948において提案されている第2の従来例のSTI構造を示しており、図17(a)は平面図、図17(b)はそのB-B'断面図である。

【0022】P型シリコン基板あるいはPウェル1に素子分離用トレンチ溝2が形成されトレンチ溝内部に素子分離用絶縁材料3、例えば2酸化シリコン材が埋め込まれている。このような素子分離された基板上のチャネル領域全面にトンネル電流が流れ得る薄いトンネル絶縁膜4が形成され、この上に電荷蓄積層12が形成されており、電荷蓄積層12の側端部は素子分離領域の端部と一致している。素子分離絶縁膜3は電荷蓄積層12と接しており、電荷蓄積層12と制御ゲート14間の容量を高めるため、電荷蓄積層12の側面の一部は露出してゲート間絶縁膜13を介して制御ゲート14と面している。制御ゲート14及び電荷蓄積層12は側端部位置が揃うように垂直方向に自己整合的に加工されており、ゲート間にはn型拡散層9が形成されている。

【0023】図18は図17で示したSTIセル構造を得るために製造工程を示す工程別断面図である。

【0024】半導体基板1上にトンネル絶縁膜4を介して電荷蓄積層となる導電材12とマスク材15を堆積する。素子分離領域のマスク材15、導電材12、トンネル絶縁膜4及び半導体基板1をその側端部位置が一致するようにエッチング除去してトレンチ溝2を形成する(図18(a))。

【0025】適当な酸化条件を用いて熱酸化を行ってトレンチ側壁の表面を酸化処理してから素子分離用絶縁膜3を堆積し、ドライエッチングによるエッチバックあるいは化学的研磨(CMP)による表面研磨によって、素子分離用絶縁膜3の上面を平坦化するとともにマスク材15の上面を露出させる。(図18(b))この状態で素子分離用絶縁膜3をさらにエッチバックして電荷蓄積層12の側面の一部を露出させ、続いてマスク材15を剥離する。(図18(c))続いてゲート間絶縁膜13及び制御ゲート14を堆積し、バーニングによるゲート加工を行ってセル構造を完成させる。(図18(d))この第2の従来例で示しているSTIセル構造では、トレンチ溝形成前にトンネル絶縁膜及び電荷蓄積層を堆積して、その後にトレンチ溝形成と素子分離絶縁膜の埋め込みを行っているため、第1の従来例で示したSTI構造と異なりダミー絶縁膜を用いる必要がなく、トレンチ側端部が露出することがない。このため、素子領域幅の微細化に適している。

【0026】さらに、電荷蓄積層が素子分離領域で完全に分離されているため電荷蓄積層を素子分離領域上でス

(6) 001-284556 (P2001-284556A)

9

リット状に切断する必要がない。このため、素子分離領域幅を微細化することが可能となる。

【0027】

【発明が解決しようとする課題】しかしながら、一方では、第2の従来例で示したSTIセル構造では素子分離用絶縁膜をトレンチ溝に埋め込む際に埋め込みアスペクトが高くなるため、素子分離領域幅を微細化できないという問題がある。前述したように、第1の従来例のSTIセル構造では電荷蓄積層の一部を分離用絶縁膜に沿って突出させ、制御ゲートとの対向面積を大きくしていたが、この第2の従来例のSTIセル構造では電荷蓄積層の側面の一部で制御ゲートとの対向面積を得ている。そのため、電荷蓄積層の膜厚は制御ゲートと対向する領域を必要とする分だけ厚くする必要がある。

【0028】素子分離用絶縁膜をボイド(穴)無しに埋め込むことができるアスペクト比が2であるとし、例えば、トレンチ溝の深さを0.3μmとし電荷蓄積層の膜厚を0.15μmとした場合について考える。マスク材の膜厚を0.1μmとして埋め込み可能な素子分離幅は0.275μmである。これに対して、第1の従来例で示したSTIセル構造では埋め込み時に電荷蓄積層が挟まっているのでアスペクトが低く、素子分離幅0.2μmまで埋め込むことが出来る。これに対し、第2の従来例のSTIセル構造では、電荷蓄積層のスリット加工ではなく、素子分離用絶縁膜の埋め込みによって素子分離幅が制限されてしまう。

【0029】以上の様に従来のSTIセル構造を有する不揮発性半導体記憶装置では素子領域幅及び素子分離幅の微細化が困難であり、メモリセルの微細化が制限されるという問題がある。

【0030】本発明は上記事情を考慮してなされたもので、素子分離絶縁膜の埋め込みアスペクトを小さくしてメモリセルの素子分離幅を小さくすることが可能な高密度不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

【0031】

【課題を解決するための手段】本発明の第1の観点によれば、半導体基板上に一方向に延在して設けられた複数のトレンチ溝と、前記トレンチ溝内に素子分離絶縁膜が埋設された素子分離領域と、前記素子分離領域によってそれぞれ電気的に分離された複数の半導体領域と、前記半導体領域上に第1のゲート絶縁膜を介して形成された電荷蓄積層と、前記電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートとを有するメモリセルが複数個接続されてセルアレイを構成している不揮発性半導体記憶装置において、前記電荷蓄積層は2層以上の導電層の積層構造となっており、そのうちの最下層の導電層の側端部位置が前記トレンチ溝壁位置と一致し、最上層の導電層の幅は、最下層の導電層の幅と同じあるいは広く、前記素子分離用絶縁膜の上面は、前記電荷蓄積層の最上層の下面と上面との間の範囲に位置していることを特徴とする。

(6) 001-284556 (P2001-284556A)

10

上層の上面とが一致していることを特徴とする。

【0032】この不揮発性半導体記憶装置では、電荷蓄積層が2層以上の導電層の積層構造となっており、最下層の導電層の側端部位置がトレンチ溝壁位置と一致しているので、トレンチ溝の上端部に寄生MOSトランジスタが形成されないために、素子領域幅を縮小でき、素子を微細化できる。

【0033】また、電荷蓄積層の最下層よりも最上層の幅が広くなっていることにより、電荷蓄積層と制御ゲート間の容量を増加させることができる。

【0034】前記素子分離用絶縁膜の上面の高さ位置は前記電荷蓄積層の最上面の高さ位置と一致すると良い。

【0035】これにより、制御ゲートと電荷蓄積層間の絶縁膜を安定して形成できる。また、このような平坦化により、制御ゲートと電荷蓄積層間の対向面積のばらつきを抑制でき、セル特性を均一化させることができる。

【0036】本発明の第2の観点によれば、半導体基板上に一方向に延在して設けられた複数のトレンチ溝と、前記トレンチ溝内に素子分離絶縁膜が埋設された素子分離領域と、前記素子分離領域によってそれ電気的に分離された複数の半導体領域と、前記半導体領域上に第1のゲート絶縁膜を介して形成された電荷蓄積層と、前記電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートとを有するメモリセルが複数個接続されてセルアレイを構成している不揮発性半導体記憶装置において、前記電荷蓄積層は2層以上の導電層の積層構造となっており、そのうちの最下層の導電層の側端部位置が前記トレンチ溝壁位置と一致し、最上層の導電層の幅は、最下層の導電層の幅と同じあるいは広く、前記素子分離用絶縁膜の上面は、前記電荷蓄積層の最上層の下面と上面との間の範囲に位置していることを特徴とする。

【0037】この不揮発性半導体記憶装置では、電荷蓄積層が2層以上の導電層の積層構造となっており、最下層の導電層の側端部位置がトレンチ溝壁位置と一致しているので、トレンチ溝の上端部に寄生MOSトランジスタが形成されないために、素子領域幅を縮小でき、素子を微細化できる。また、電荷蓄積層の最下層よりも最上層の幅が広くなっていることにより、電荷蓄積層と制御ゲート間の容量を増加させることができる。さらに、素子分離用絶縁膜の上面が前記電荷蓄積層の最上層の下面と上面との間の範囲に位置することにより電荷蓄積層の最上層の側壁の一部にも容量を形成できる。

【0038】前記電荷蓄積層に含まれる最上層の導電層は前記素子分離領域に対して自己整合的に形成されていると良い。

【0039】このような自己整合構造では素子分離幅を縮小でき、素子を微細化できる。

【0040】前記電荷蓄積層に含まれる最上層の導電層と最下層の導電層とは、電気的に接続されて短絡状態あるいは同電位となっていると良い。

11

【0041】これにより、電荷蓄積層内の電位を一定にでき、各メモリセル間の特性のばらつきを低減できる。
【0042】前記電荷蓄積層に含まれる最上層の導電層の膜厚は、最下層の導電層の膜厚と同じあるいは厚いことが好ましい。

【0043】最下層が薄いことにより素子分離用絶縁膜の埋め込みアスペクトを小さくでき、最上層が厚いことにより薄い膜厚を用いた場合でも十分な膜厚を確保し、良好な電荷蓄積能力を得ることができる。

【0044】前記電荷蓄積層の上面、前記素子分離用絶縁膜の上面、および前記電荷蓄積層の最上層の側面であって前記素子分離用絶縁膜の上面から前記最上層の上面に至る面には前記第2の絶縁膜が形成され、この第2の絶縁膜の上には前記制御ゲートが形成されていることが好ましい。

【0045】この構成により、電荷蓄積層の最上層の側壁の一部にも容量を形成できるため、全体の容量を増加でき、データの書き換え時に制御ゲートに印加する電圧を低減することができる。

【0046】前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記電荷蓄積層の最上面との段差がセルアレイ内でほぼ一定であると良い。

【0047】これにより、セルの特性が安定化する。

【0048】前記セルアレイ内に前記メモリセルと同一積層ゲート構造を有するスイッチング用の選択トランジスタを含むことが好ましい。

【0049】これにより、メモリセルの製造工程で選択トランジスタを形成できる。

【0050】前記不揮発性半導体記憶装置は、トランジスタをさらに有し、前記トランジスタは前記半導体基板上に第3のゲート絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極に接觸して形成された第2のゲート電極とを含むと良い。

【0051】これにより、メモリセルを駆動する周辺のトランジスタをメモリセルに類似する積層ゲート構造とことができ、ゲート加工時の段差を減少させることができる。

【0052】前記トランジスタは、前記第3のゲート絶縁膜が膜厚の異なる少なくとも2種類の膜を含む層として構成され、前記トランジスタのうちの高耐圧用途のものは前記第3のゲート絶縁膜が前記第1のゲート絶縁膜よりも厚く、前記トランジスタのうち低電圧用途のものは前記第3のゲート絶縁膜が前記第1のゲート絶縁膜と同一膜厚か薄いことが好ましい。

【0053】これにより、センスアンプを構成する低電圧駆動の高速トランジスタと昇圧回路や入出力スイッチを構成する高電圧駆動の高耐圧トランジスタを構成することができ、単一電源で動作可能な不揮発性半導体記憶装置を実現できる。

【0054】前記第1のゲート電極は前記電荷蓄積層と

(17) 001-284556 (P2001-284556A)

12

同様の電気的に接続された2層以上の導電層で形成され、前記第1のゲート電極を構成する最下層の導電層の前記素子分離領域と接する側端部の位置が、前記トレンチ溝壁の位置と一致していることが好ましい。

【0055】これにより、トランジスタを構成するゲート電極をメモリセルの電荷蓄積層および制御ゲートと同じ積層構造とすることができるので、製造工程を簡略化できる。

【0056】前記第1のゲート電極を構成する複数の導電層は、前記メモリセルの前記電荷蓄積層を構成する導電複数の導電層と同一材料から構成され、前記第2のゲート電極は前記メモリセルの前記制御ゲートと同一材料から構成されていることと良い。

【0057】この構成によても、トランジスタを構成するゲート電極をメモリセルの電荷蓄積層および制御ゲートと同じ積層構造とすることができるので、製造工程を簡略化できる。

【0058】前記メモリセルアレイ内の前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記電荷蓄積層最上面の段差は、前記トランジスタが含まれる回路部内の前記トレンチ溝に埋められた素子分離用絶縁膜の上面と前記第1のゲート電極最上面の段差よりも小さいことが好ましい。

【0059】この構成は、トランジスタ部では第2のゲート絶縁膜を剥離する工程で素子分離絶縁膜の厚さが減少するので、素子分離絶縁膜をエッチバックして電荷蓄積層の側面を露出させる場合、全面エッチバックで行うことが可能となるので工程の簡略化を図ることができると。

【0060】また、本発明の第3の観点による不揮発性半導体記憶装置によれば、半導体基板上に一方に向延在して設けられたトレンチ溝内に素子分離絶縁膜が埋設された複数の素子分離領域と、前記素子分離領域によってそれぞれ電気的に分離された複数の半導体領域と、前記半導体領域上に第1のゲート絶縁膜を介して形成された、2層以上の導電層の積層構造よりなる電荷蓄積層と、前記電荷蓄積層上に第2のゲート絶縁膜を介して形成された制御ゲートとを有するメモリセルが複数個接続されてセルアレイを構成している不揮発性半導体記憶装置において、隣接する前記素子分離領域側端部間の距離をX1、隣接する前記電荷蓄積層のうちの最下層側端間の距離をY、その最上層側端間の距離をX2としたとき、

$$Y > X_1 \geq X_2$$

の関係にあるので、電荷蓄積層の最下層よりも最上層の幅が広くなることにより、電荷蓄積層と制御ゲート間の容量を増加させることができる。

【0061】本発明の第4の観点による不揮発性半導体記憶装置の製造方法によれば、半導体基板上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜

(8) 001-284556 (P 2001-284556A)

13

上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、前記第1の導電層上にマスク材を形成する工程と、前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようにエッチングしてトレンチ溝を形成する工程と、少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、前記マスク材をはく離して第1の導電層上面を露出させる工程と、半導体基板上に電荷蓄積層の最上層となる第2の導電層を堆積する工程と、この第2の導電層を平坦化し、その上面が前記素子分離用絶縁膜上面と同一平面となるようにする工程と、前記第2の導電層および前記素子分離用絶縁膜上に第2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜上に制御ゲート材を堆積する工程と、堆積された制御ゲート材を所定形状に加工する工程と、を備えているので、請求項1にかかる不揮発性半導体記憶装置を安定して製造することができる。

【0062】本発明の第5の観点による不揮発性半導体記憶装置の製造方法によれば、半導体基板上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、前記第1の導電層上にマスク材を形成する工程と、前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようにエッチングしてトレンチ溝を形成する工程と、少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、前記マスク材をはく離して第1の導電層上面を露出させる工程と、半導体基板上に電荷蓄積層の最上層となる第2の導電層を堆積する工程と、この第2の導電層を平坦化し、その上面が前記素子分離用絶縁膜上面と同一平面となるようにする工程と、前記第2の導電層および前記素子分離用絶縁膜上に第2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜上に制御ゲート材を堆積する工程と、堆積された制御ゲート材を所定形状に加工する工程と、を備えているので、電荷蓄積層の最上層を最下層よりも十分に幅広く形成することができる。

【0063】本発明の第6の観点による不揮発性半導体記憶装置の製造方法によれば、半導体基板上に第1のゲート絶縁膜を形成する工程と、前記第1のゲート絶縁膜上に電荷蓄積層の最下層となる第1の導電層を形成する工程と、前記第1の導電層上にマスク材を形成する工程

14

と、前記マスク材、前記第1の導電層、前記第1のゲート絶縁膜、前記半導体基板をその側端部位置が一致するようにエッチングしてトレンチ溝を形成する工程と、少なくとも前記トレンチ溝側壁、前記第1の導電層側壁表面を酸化処理する工程と、素子分離用絶縁膜を堆積してトレンチ溝を埋め込む工程と、前記素子分離用絶縁膜を平坦化して前記マスク材上面を露出させる工程と、前記マスク材をはく離して第1の導電層上面が露出する凹部を形成する工程と、等方性エッチングにより前記凹部の横幅を増加させる工程と、半導体基板上に電荷蓄積層の最上層となる第2の導電層を前記素子分離用絶縁膜上および前記凹部内に堆積させる工程と、この第2の導電層を平坦化し、その上面が前記素子分離用絶縁膜上面と同一平面となるようにする工程と、前記素子分離用絶縁膜をその上面が前記第2の導電層の下面から上面の間に位置するように選択的にエッチングする工程と、このエッチングにより露出した第2の導電層の側壁、前記第2の導電層の上面、および前記素子分離用絶縁膜の上面に第2のゲート絶縁膜を形成する工程と、前記第2のゲート絶縁膜上に制御ゲート材を堆積する工程と、堆積された制御ゲート材を所定形状に加工する工程と、を備えているので、電荷蓄積層の最上層を最下層よりも十分に幅広く形成することができる。

【0064】前記第1および第2の導電層の平坦化工程は、ドライエッチングあるいはポリッシングにより行われると良く、これにより平坦化を安定に達成することができる。

【0065】【発明の実施の形態】以下、図面を参照して、本発明の実施の形態のいくつかを詳細に説明する。

【0066】図1は本発明による第1の実施の形態にかかるメモリセル構造を示しており、図1(a)は平面図、図1(b)はそのC-C'断面図である。

【0067】p型シリコン基板あるいはpウェル21に素子分離用トレンチ溝22が形成されており、このトレンチ溝22内部に素子分離用絶縁材料、例えば2酸化シリコン材が埋め込まれて素子分離絶縁膜23を形成している。

【0068】このような素子分離された基板上のチャネル領域30全面にトンネル電流が流れ得る薄いトンネル絶縁膜24として例えば厚さ150オングストローム以下の2酸化シリコン膜が形成され、この上に第1の導電層25が形成されており、この第1の導電層25の側端部は素子分離領域の端部と同位置となっている。

【0069】なお、トレンチ溝22内面および第1の導電層25の素子分離領域側の端面には酸化膜33が形成されているが、これに統く各図面においては、簡略化のため、この酸化膜を省略する。

【0070】第1の導電層25上には第1の導電層25と接触して第2の導電層26が形成されており、その側

50

15

端部は第1の導電層25よりもわずかに外側に広がっている。これらの第1の導電層25と第2の導電層26の積層構造により電荷蓄積層27が構成されている。

【0071】素子分離絶縁膜23の上面は電荷蓄積層27の上面と一致し、これらの上面の上にはゲート間絶縁膜28を介して制御ゲート29が形成されている。

【0072】図1(a)に示すように、制御ゲート29及び電荷蓄積層27はその側壁邊が垂直方向に一致するように自己整合的に加工されており、ゲート間にU型拡散層31が形成されている。

【0073】図2は図1に示した自己疊合型STIセル構造を得るための製造工程を示す工程別断面図である。

【0074】まず、半導体基板21上にトンネル絶縁膜24を形成し、その上に第1の導電層25としての不純物がドープされたポリシリコン層をCVD法で、さらにその上にマスク材32としてのレジストを堆積する。次に素子分離領域のマスク材32、第1の導電層25、トンネル絶縁膜24及び半導体基板21をその側端部位置が一致するようにエッティング除去してトレンチ溝22を形成する(図2(a))。

【0075】続いて酸化処理あるいは表面改質等の処理を行ってトレンチ溝22の側壁及び第1の導電層25の側壁表面を酸化してから素子分離用絶縁膜23を全面に堆積し、ドライエッティングによるエッチバックあるいは化学的研磨(CMP)による表面研磨によって素子分離用絶縁膜23を平坦化し、最終的にマスク材32の上面を露出させる(図2(b))。

【0076】次にマスク材32を剥離して第1の導電層25の上面を露出させた後、不純物をドープしたポリシリコン層でなる第2の導電層26を全面に堆積して、素子分離用絶縁膜23が露出するまで第2の導電層26をエッチバックあるいは平面研磨して第2の導電層26を分離する(図2(c))。これらの第1の導電層25と第2の導電層26は前述したように電荷蓄積層27として機能する。

【0077】次に、ゲート間絶縁膜28及び制御ゲートを堆積し、ゲート加工を行ってセル構造を完成させる。

(図2(d))このような製造工程により得られた構造では、第1の導電層25の側壁はトレンチ溝形成後の酸化工程によってわずかに後退するため、第2の導電層26の幅は第1の導電層25の幅よりもわずかに広い構造となっている。

【0078】また、第2の導電層26を堆積する際に、第1の導電層25の上面を薬品処理して清浄化することによりわずかな酸化膜が第1の導電層上面に形成され、第1の導電層25と第2の導電層26間に酸化膜が挟まった形態となる場合がある。しかし、この酸化膜は極めて薄いため、電気的導通に問題はなく、第1の導電層と第2の導電層は同電位に保たれる。

【0079】このような第1の実施の形態によるメモリ

50 (9) 001-284556 (P2001-284556A)

16

セルは次のような特徴を有している。

【0080】まず、前述した第2の従来例で示したSTIセル構造では、トレンチ溝を素子分離絶縁膜で埋め込む際に埋め込みアスペクトが高くなる問題があった。これに対して本発明では電荷蓄積層を第1の導電層と第2の導電層の積層構造としているため、素子分離絶縁膜の埋め込み時のアスペクトは第1の導電層膜の厚さおよびマスク材の厚さによって決定される。従って、第1の導電層の膜厚を第2の導電層の膜厚よりも薄くすることにより、埋め込みアスペクトを低減することが可能である。例えば、トレンチ溝の深さを0.3μmとし電荷蓄積層の膜厚を0.15μmとした場合について考える。素子分離用絶縁膜をボイド(穴)無しに埋め込むことが出来るアスペクトを2とすれば、マスク材の膜厚を0.1μmとして第1の導電層の膜厚を0.05μmとすれば埋め込み可能な素子分離幅は0.225μmと、先に示した第2の従来例のSTIセル構造よりも素子分離幅を微細化が可能である。

【0081】また、第2の導電層26を第1の導電層25の上に積み増すことにより、ゲート加工制御上必要となる所望の電荷蓄積層27の膜厚に合わせ込むことが可能となる他、第1のゲート絶縁膜界面を形成する第1の導電層25の不純物濃度を下げつつ、電荷蓄積層27全体の抵抗を下げる事が可能となる。

【0082】また、電荷蓄積層27と制御ゲート29間の容量を大きくするために、例えば電荷蓄積層27の上面を粗面化処理する場合があるが、第2の導電層26を十分に堆積させておくことにより、素子分離埋め込み後にこの粗面化処理を行うことが可能となる。

【0083】さらに、メモリセルやトランジスタ等のしきい電圧の制御を目的とした不純物ドーピングをゲート電極下の半導体基板に行う場合、第1の導電層25が薄いため第1の導電層25を通してイオン注入を行うことが可能となる。このことは、熱酸化等のゲート絶縁膜形成に必要な高温熱処理工程後にイオン注入を行うことを可能にするため、半導体基板内の不純物プロファイルを精密に制御することが可能となる。

【0084】また、第1の実施例で示したメモリセルでは、電荷蓄積層27の最上面はセルアレイ内全面において平坦となっているので電荷蓄積層上面の面積のばらつきによる容量ばらつきが抑制できるため書き換え特性の揃ったメモリセルを構成することができる。

【0085】図3は図1(b)と類似した構成を有しているが、電荷蓄積層27を構成する第1の導電層25と第2の導電層26の側面位置が一致しており、両層の幅が一致した例を示している。このような構成はトレンチ溝23形成時のエッティングによる第1の導電層25の後退が少ない材料および条件の組み合わせ、あるいは第1導電層の後退を招かない、酸化以外の表面改質処理を行うことにより得ることができる。

(101) 001-284556 (P2001-284556A)

17

【0086】このような構成は自己整合構造となり、段差部が存在しないため、寄生容量の発生がなく、円滑な電荷移動による特性向上が期待できる。

【0087】図4は本発明の第2の実施の形態にかかる不揮発性半導体記憶装置のセル構造を示しており、図4(a)は平面図、図4(b)はそのD-D'断面図である。

【0088】P型シリコン基板あるいはPウエル41に素子分離用トレンチ溝42が形成され、このトレンチ溝42内部に素子分離用絶縁材料43、例えば2酸化シリコン材が埋め込まれている。このような素子分離された基板上のチャネル領域全面にトンネル電流が流れ得る薄いトンネル絶縁膜44が形成され、その上に第1の導電層45が形成されており、この第1の導電層45の側端部の位置は素子分離領域43の端部と一致している。

【0089】第1の導電層45上には第1の導電層45と接触して第2の導電層46が形成されており、その側端部は第1の導電層45よりもわずかに外側に広がっている。これらの第1の導電層45と第2の導電層46の積層構造により電荷蓄積層47が構成されている。

【0090】また、素子分離絶縁膜43の上面は第2の導電層46の下面よりわずかに高い位置となっており、この第2の導電層46の上面、側壁のうち素子分離絶縁膜位置より高い部分、素子分離絶縁膜43の一部にはゲート間絶縁膜48が形成され、その上には制御ゲート49が形成されている。図4(a)に示すように、制御ゲート49及び電荷蓄積層47はその側端部が垂直方向に揃うように自己整合的に加工されており、ゲート間にn型拡散層51が形成されている。

【0091】図5は図4に示したSTIセル構造を得るための製造工程を説明する工程別断面図である。

【0092】半導体基板41上にトンネル絶縁膜44を形成し、その上に第1の導電層45およびマスク材52を堆積する。その後、素子分離領域のマスク材52、第1の導電層45、トンネル絶縁膜44及び半導体基板41をその側端部が揃うように除去してトレンチ溝42を形成する。

【0093】続いて酸化処理あるいは表面改質等の処理を行ってトレンチ溝42の側壁及び第1の導電層45の側壁表面を酸化してから素子分離用絶縁膜43を堆積し、ドライエッティングによるエッチバックあるいは化学的研磨(CMP)による表面研磨によって素子分離用絶縁膜43を平坦化し、最終的にマスク材52の上面を露出させる(図5(a))。

【0094】次にマスク材を剥離し、続いて第2の導電層46を堆積する(図5(b))。

【0095】続いて、素子分離用絶縁膜43が露出するまで第2の導電層46をエッチバックあるいは平面研磨して第2の導電層46を分離する(図5(c))。

【0096】さらに、素子分離用絶縁膜43のみをエッ

18

チングしてその上面が第2の導電層46の厚さ内の任意の位置、例えば下面から1/3あるいは1/4の厚さに相当位置に達する程度までエッティングを進め、続いてゲート間絶縁膜48及び制御ゲート49を堆積し、ゲート加工を行ってセル構造を完成させる(図5(d))。

【0097】なお、素子分離用絶縁膜43の上面位置が第2の導電層46の下側にあるほど容量を増加させることができるが、あまり下側に位置するゲート間絶縁膜を安定に形成することができなくなるので、これらを勘案してその位置を決定すべきである。

【0098】このような第2の実施の形態によるメモリセルでは電荷蓄積層47と制御ゲート49間の容量を高めるため、第2の導電層46の側面の一部を露出させて制御ゲート49と対向させている。従って、第1の実施の形態で示したメモリセルよりもカッピング容量を大きくすることができます。また、第2の導電層46の上面と素子分離絶縁膜48の上面間の段差量は電荷蓄積層47と制御ゲート49間の容量を所望の値に調整するように対向面積が得られるように設定することが可能であり、さらに段差量をセルアレイ内で均一とすることが可能である。なお、側壁を一部分露出させることを容易にするため、第2の導電層46の厚さは第1の導電層45の厚さよりも厚くすることが望ましい。

【0099】図6は図3と同様、第1の導電層45と第2の導電層46との幅が等しい場合を示しており、自己整合による製造に適した構造となる。

【0100】図7は本発明の第3の実施の形態に係る不揮発性半導体記憶装置のセル構造を示しており、図7(a)はその平面図、図7(b)はそのE-E'断面図である。

【0101】この構成は第2の実施の形態と類似しており、対応する構成要素は図4に示す第2の実施の形態における参照番号に20を加えたもの、すなわち60番台、70番台としている。第2の実施の形態と第3の実施の形態との差異は、第2の実施の形態における第2の導電層46に相当する第2の導電層66の幅を第1の導電層65の幅よりも大きく広げた点である。図7(a)および図7(b)において第2の導電層の幅が広がっている点が明確に示されている。

【0102】図8は図7に示したセル構造を得るための製造工程を示す工程別断面図である。

【0103】半導体基板61上にトンネル絶縁膜64を形成し、その上に第1の導電層65とマスク材72を堆積する。この状態で素子分離領域のマスク材72、第1の導電層65、トンネル絶縁膜64及び半導体基板61をその側端部が揃うように除去してトレンチ溝62を形成する。続いて酸化処理あるいは表面改質等の処理を行ってトレンチ溝62の側壁及び第1の導電層65の側壁表面を酸化してから素子分離用絶縁膜63を堆積し、ドライエッティングによるエッチバックあるいは化学的研磨

50

(111) 001-284556 (P 2001-284556A)

19

(CMP)による表面研磨によって素子分離用絶縁膜を平坦化し、最終的にマスク材72の上面を露出させる(図8(a))。

【0104】マスク材72を剥離した後、ウェットエッチング等の等方性エッティングによって素子分離用絶縁膜を所望の量だけ横方向にエッティングする。これにより第1の導電層65の上にはその幅よりも広い素子分離絶縁膜が存在しない部分が形成される(図8(b))。

【0105】次に、第2の導電層66を半導体基板全面上に堆積して、素子分離用絶縁膜63が露出するまで第2の導電層をエッチバックあるいは平面研磨して第2の導電層を分離する(図8(c))。

【0106】続いて素子分離用絶縁膜63を追加工エッチバックし、第2の導電層66の下側まで素子分離絶縁膜63を後退させて第2の導電層66の上側を露出させる。

【0107】この状態でゲート間絶縁膜68及び制御ゲート69を堆積し、ゲート加工を行ってセル構造を完成させる(図8(d))。

【0108】この第3の実施の形態にかかるメモリセルでは、マスク材72の剥離後に素子分離用絶縁膜を所望の量だけ横方向にエッティングすることで、第2の導電層を第1の導電層すなわち素子幅よりも広くする構造を実現している。従って、第3の実施例で示したメモリセルは第1の実施例で示したメモリセル及び第2の実施例で示したメモリセルより電荷蓄積層と制御ゲート間の容量を高めることができる。

【0109】なお、第2の導電層66を平坦化した後に素子分離用絶縁膜63を追加工エッチバックして電荷蓄積層67の側面の一部を露出させる手順は、制御ゲート69と電荷蓄積層67の容量を大きくするための工程であるので、電荷蓄積層67の上面のみの対向面積で制御ゲート69と電荷蓄積層67間の容量を十分大きくとれる場合には行う必要はない。

【0110】図9に本発明の第4の実施の形態にかかる不揮発性半導体記憶装置を示す。図9(a)は平面図、図9(b)はそのF-F'断面図を示している。

【0111】図9(b)に示す断面図は図4(b)に示した断面図と全く同じであるので、同じ構成要素には同じ参照番号を付してその詳細な説明を省略する。

【0112】この実施の形態では、セルアレイ構成としてNAND構成を有している場合を一例として示している。すなわち、本実施例では直列に接続された16個のNANDセルが選択トランジスタ53を介してビット線及びソース線に接続されている。選択トランジスタはセルと同一材料、同一膜厚、同一積層構造で構成されている。メモリセルにおいて電荷蓄積層と呼ばれているゲート電極は選択トランジスタにおいても同様フローティング構造となっており、隣接ビット線間のトランジスタ間で電荷蓄積層が電気的に接続されていないため、メモリ

20

セルと選択トランジスタは外観上の違いはない。ただし、ゲート長に関しては必要に応じ、メモリセルと選択トランジスタで異なっていても構わない。選択トランジスタは電荷蓄積層と制御ゲートの容量結合によって電荷蓄積層に所定の電圧が印加されるため制御ゲートへの電圧印加によって通常のトランジスタ動作が行われる。したがって、メモリセルと選択トランジスタを同一ゲート構造とすることによりセルアレイ内で不要な加工工程を省くことが可能となり最小工程数でメモリセルの作製が可能となる。

【0113】なお、NAND構成以外のAND型やDINOR型でも、そのアレイ構成は複数のメモリセルを直列あるいは並列に連ねてユニットを構成し、ビット線あるいはソース線との接続においてスイッチング用トランジスタである選択トランジスタを介することになり、この実施の形態を同様に適用することができる。

【0114】図14は上述した各実施の形態における素子分離領域側端部間の距離と電荷蓄積層の最上層間距離および最下層間距離との関係を示す素子断面図である。

【0115】上述したように、電荷蓄積層の最上層の幅が最下層の幅よりも広く形成されているため、隣接する前記素子分離領域側端部間の距離をX1、隣接する前記電荷蓄積層のうちの最下層側端間の距離をY、その最上層側端間の距離をX2としたとき、

$$Y > X_1 > X_2 \quad \text{または} \quad Y > X_1 = X_2$$

の関係にあることがわかる。

【0116】図10は本発明に係る別の第5の実施例である不揮発性半導体記憶装置を示している。図10(a)は低電圧トランジスタの平面図、図10(b)は

30 そのG-G'断面図、図10(c)は高耐圧トランジスタの平面図、図10(d)はそのH-H'断面図を示している。

【0117】これらは同じ素子の中に作られるものであり、平面構成は同じであるが、断面構造を見ると、いずれも積層ゲート構造を有しており、電荷蓄積層と同様の2層構成の下層ゲート(低電圧用では83、87、高耐圧用では83、97)と、制御ゲートと同様の導電材で形成された上層ゲート88を有している。このうち、下層ゲートのうちの上層の厚さは低電圧用トランジスタの方が高耐圧用トランジスタよりも厚い。また、低電圧トランジスタでは薄いゲート酸化膜82を有しているのに対し、高耐圧トランジスタでは厚いゲート酸化膜92を有している。

【0118】これは、次の理由に基づく。一般にメモリセルを駆動するセンスアンプ及び昇圧回路、入出力スイッチ回路には駆動する電圧に合わせて所望のゲート絶縁膜厚を有するトランジスタが用いられており、センスアンプ内では高速動作が可能な低電圧トランジスタ用にメモリセルのトンネル絶縁膜と同等あるいはトンネル絶縁膜よりも薄いゲート絶縁膜が用いられている。一方、メ

50

21

モリセルのデータ書き換え用の高電圧を駆動する昇圧回路や入出力スイッチ回路には高電圧動作が可能な高耐圧系トランジスタ用にトンネル絶縁膜よりも厚いゲート絶縁膜が用いられている。

【0119】図11および図12は図10に示した不揮発性半導体記憶装置のメモリセルトランジスタを製造する工程を示す工程別断面図である。これらにおいては、いずれも左側が低電圧トランジスタ、右側が高耐圧トランジスタの製造工程を示している。

【0120】まず、低電圧トランジスタについて述べる。

【0121】半導体基板81上に所望の膜厚で複数のゲート絶縁膜を形成する。例えばメモリセル用のトンネル絶縁膜82として例えば100Åの熱酸化膜、あるいはセンサアンプ動作用のNMOS及びPMOS用の薄ゲート絶縁膜として例えば80Åの熱酸化膜を形成し(図11(a))、昇圧回路動作用の高耐圧トランジスタ用の厚ゲート絶縁膜として例えば200Åの熱酸化膜92(図11(d))をそれぞれ形成して、さらに第1の導電層83及びマスク材84を形成する。

【0122】素子分離領域のマスク材、第1の導電層、複数の膜厚からなるトンネル絶縁膜とゲート絶縁膜及び半導体基板をその側端部が揃うように除去してトレンチ溝85を形成する(図11(b)(e))。

【0123】トレンチ溝85及び第1の導電層83の側壁を酸化処理した後、素子分離用絶縁膜86を堆積し、ドライエッティングによるエッチバックあるいは化学的研磨(CMP)による表面研磨によって素子分離用絶縁膜86を平坦化し、最終的にマスク材84の上面を露出させる(図11(c)(f))。このとき、ゲート絶縁膜の厚さが異なるにもかかわらずエッチバック後の高さは同じであるため、低電圧トランジスタと高耐圧トランジスタでは残存マスク材の厚さが84'および84"のように異なっている。

【0124】マスク材を剥離してから第2の導電層を半導体基板上に堆積して、素子分離用絶縁膜が露出するまで第2の導電層をエッチバックあるいは平面研磨して第2の導電層を分離する。このときも第2の導電層の厚さは低電圧トランジスタでは87、高耐圧トランジスタでは97で示されるように異なっている(12図(a))(d))。以上の第1の導電層と第2の導電層の積層構造は電荷蓄積層あるいは第1のゲート電極を形成する。

【0125】次に、素子分離用絶縁膜85を追加工エッチバックして電荷蓄積層(83, 87, 97)及び第1のゲート電極(82, 92)の側面の一部を露出させる(図12(b)(e))。

【0126】次にゲート間絶縁膜として、例えばONO膜を半導体基板上に形成してから、メモリセル部を除く周辺回路部の少なくとも一部のONO膜を剥離してから制御ゲート88を堆積する。なお、制御ゲートはトラン

(112) 001-284556 (P2001-284556A)

22

ジスタにおいては第2のゲート電極88として形成され、ゲート間絶縁膜を除去しているため第1のゲート電極と第2のゲート電極は電気的に接続されて同電位となる。メモリセル部及びトランジスタにおける積層構造の側端部が揃うようにゲート加工してセル構造及びトランジスタ構造を完成させる(図12(c)(f))。この第5の実施の形態で示した不揮発性半導体記憶装置ではメモリセルとトランジスタのゲートを構成するゲート材が同一であるため、低コスト化および高歩留まり化を実現することが容易である。また、電荷蓄積層の側面の一部を露出させる工程はチップ全面で行うためリソグラフィ工程が不要となり低コスト化が期待出来る。ただし、露出する高さはゲート間絶縁膜をはく離する工程が追加されることからメモリセルよりもトランジスタの方が高くなる。そのため、第2の導電層の膜厚がメモリセルで要求される膜厚よりも厚くなる場合が生じる。これは、高密度に配置されたメモリセルのゲート構造加工時の工程歩留まりに影響する可能性がある。

【0127】第2の導電層の膜厚を薄膜化する必要がある場合には、電荷蓄積層の側面の一部を露出させるエッチバック工程をメモリセル部にのみ行うためのリソグラフィ工程を追加する。この場合には、電荷蓄積層及び第1のゲート電極の露出する高さは、例えゲート間絶縁膜のはく離工程を行った場合でもメモリセルの方が高くなるので、電荷蓄積層の膜厚をメモリセル部で必要な第2の導電層の膜厚で制御することが可能となる。

【0128】図13は第5の実施の形態において、適当な条件を選択することにより、第1のゲート電極における上層と下層とが同じ端面位置を有するようにしたものを示す。

【0129】以上、種々の実施の形態を説明したが、本発明は上述した各実施の形態に限定されるものではなく、各種変形が可能である。

【0130】例えば実施の形態では電荷蓄積層等となる電極を2層構成としているが、3層以上の多層構造をなしていても良く、その場合、最上層が実施の形態における上層、最下層が実施の形態における下層と同様な構成および機能を有していればよい。

【0131】また、第1のゲート絶縁膜であるトンネル絶縁膜として実施の形態では2酸化シリコン層を用いているが、塗化シリコン層でも、あるいは酸塗化シリコン層でも、あるいはこれらの任意の積層膜となっていても良い。

【0132】また、電荷蓄積層と制御ゲート間の絶縁膜は実施の形態ではシリコン酸化膜を用いていたが、塗化膜、酸塗化膜、酸化膜と塗化膜との積層膜であってもよい。

【0133】さらに、制御ゲートは実施の形態では不純物をドープしたポリシリコン層を用いたが、アモルファスシリコン層、タンゲステン等の高融点金属材料層、ア

(113) 001-284556 (P2001-284556A)

23

ルミニウム等の低抵抗金属層、タングステンシリサイド(WSi)等の金属シリサイドとシリコン材料の積層、シリコン材上にチタン等の金属を堆積させて熱アニールすることによってシリコンとの化学反応を起こさせることにより形成するシリサイド膜等を適宜用いることができる。

【0134】また、素子分離用の絶縁膜としては、実施の形態で説明した、高アスペクトの埋込特性に優れた2酸化シリコン以外に、リンやボロン等の不純物を含むPSG、BPSG等のドープトオキサイド膜、あるいはこれらの積層構造を使用することができる。

【0135】さらに周辺回路以外の各種キャパシタや抵抗素子等も必要に応じて本発明の要旨を逸脱しない範囲で種々変形して実施する事ができる。

【0136】

【発明の効果】本発明によれば、電荷蓄積層を素子分離領域すなわちトレンチ溝と自己整合的に形成する自己整合STI構造を有するメモリセルからなる不揮発性半導体記憶装置において、電荷蓄積層を少なくとも2層からなる積層構造として、第1の導電層は薄膜化して素子分離絶縁膜の埋め込みアスペクトを低減し、第2の導電層は制御ゲート間の容量を所望の値にするために必要な膜厚としているので、加工制御性に優れ、データの書き換え特性に優れた低成本、高密度な大容量不揮発性半導体記憶装置を提供することが可能となる。

【0137】また、第2の導電層は素子分離用絶縁膜をスタッフとした平坦化工程により形成し、従来の不揮発性半導体記憶装置で必要とされた電荷蓄積層を素子分離領域上でスリット状に切断するためのリソグラフィを省略することにより工程削減を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る不揮発性半導体記憶装置の平面図及び断面図である。

【図2】図1の構成を得るための製造工程を示す工程別断面図である。

【図3】図1(b)に示す構成の特別な場合を示す断面図である。

【図4】本発明の第2の実施の形態に係る不揮発性半導体記憶装置の平面図及び断面図である。

【図5】図4の構成を得るための製造工程を示す工程別断面図である。

【図6】図4(b)に示す構成の特別な場合を示す断面

24

図である。

【図7】本発明の第3の実施の形態に係る不揮発性半導体記憶装置の平面図及び断面図である。

【図8】図1の構成を得るための製造工程を示す工程別断面図である。

【図9】本発明の第4の実施の形態に係る不揮発性半導体記憶装置の平面図及び断面図である。

【図10】本発明の第5の実施の形態に係る、不揮発性半導体記憶装置に用いられる低電圧トランジスタと高耐圧用トランジスタの構成を示す平面図および断面図である。

【図11】図10に示すトランジスタの製造工程の前半を示す工程別断面図である。

【図12】図10に示すトランジスタの製造工程の後半を示す工程別断面図である。

【図13】図10に示す構成の特別な場合を示す断面図である。

【図14】本発明にかかる不揮発性半導体記憶装置の一般的な特徴を図示する素子断面図である。

【図15】第1の従来例にかかる不揮発性半導体記憶装置の構成を示す平面図および断面図である。

【図16】図14に示す構成を得るための製造工程を示す工程別断面図である。

【図17】第2の従来例にかかる不揮発性半導体記憶装置の構成を示す平面図および断面図である。

【図18】図16に示す構成を得るための製造工程を示す工程別断面図である。

【符号の説明】

21, 41, 61, 81 基板またはウェル

22, 42, 62, 85 トレンチ溝

23, 43, 63, 86 素子分離用絶縁膜

24, 44, 64, 82 トンネル絶縁膜

25, 45, 65, 83 第1の導電膜

26, 46, 66, 87, 97 第2の導電膜

27, 47, 67 電荷蓄積層

28, 48, 68 ゲート間絶縁膜

29, 49, 69, 88 制御ゲート

30, 50, 70 素子領域

31, 51, 71 n型拡散層

32 マスク材

53 選択トランジスタゲート

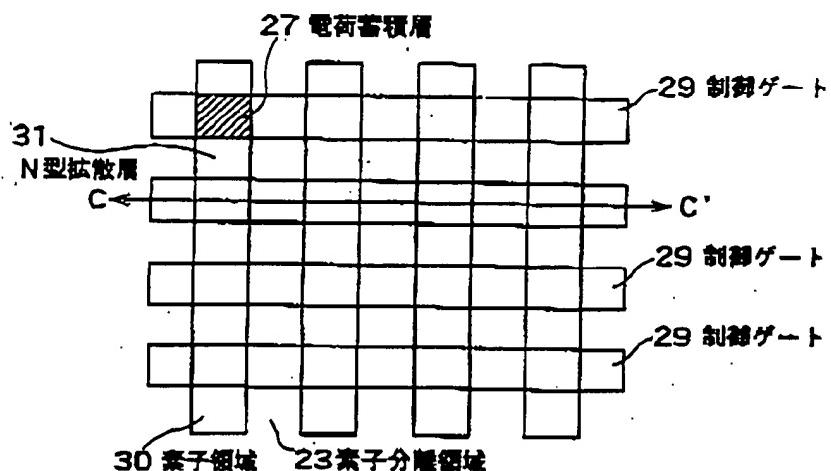
10

20

40

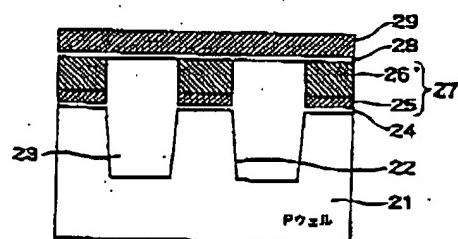
(114) 001-284556 (P 2001-284556 A)

【図1】

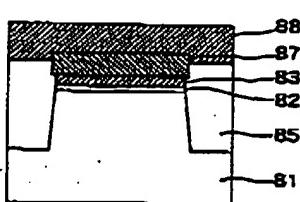


(a)

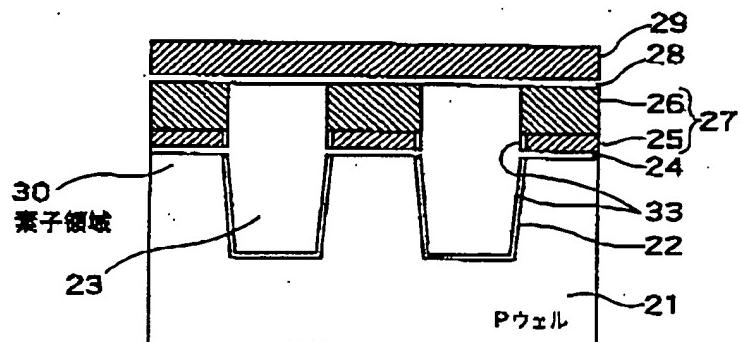
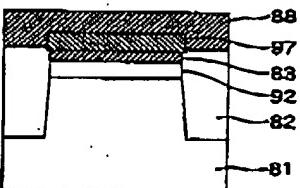
【図3】



【図13】



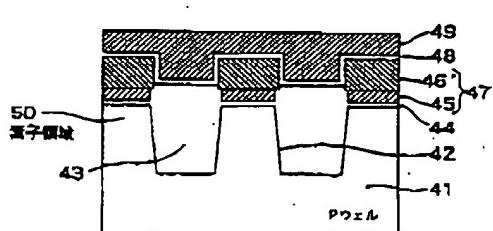
(a)

(高耐圧T_r)

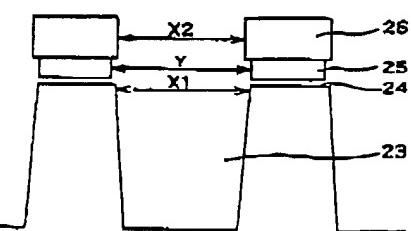
(b)

(b)

【図6】

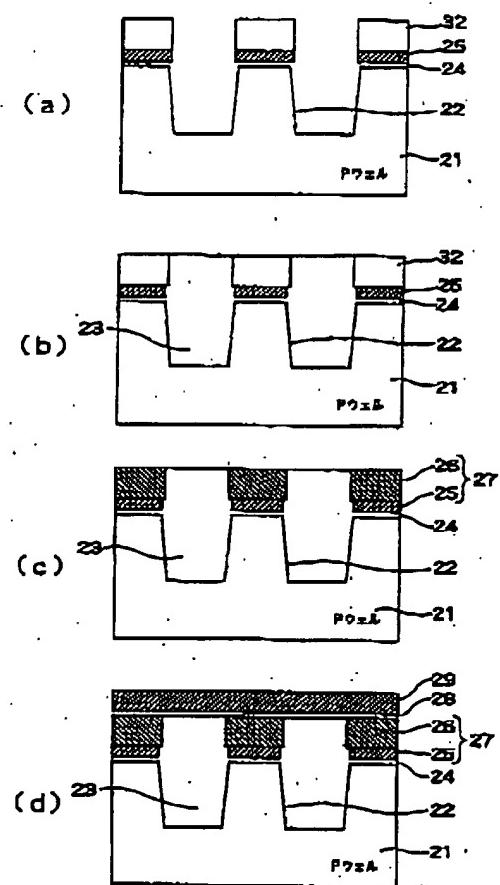


【図14】

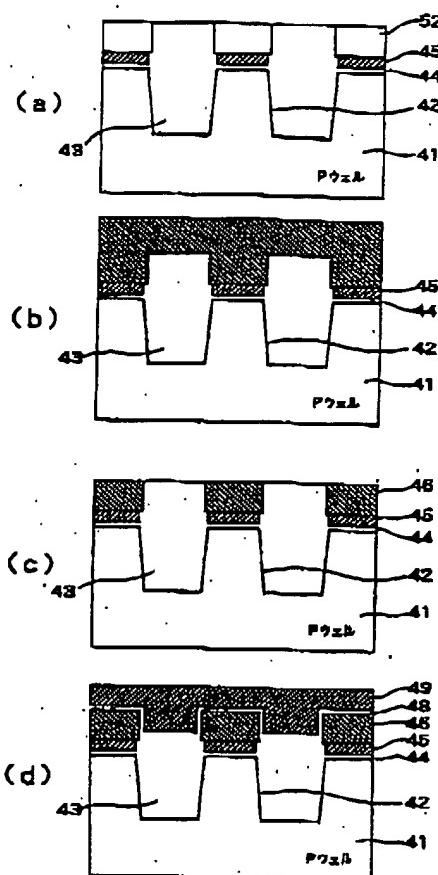


(15) 2001-284556 (P2001-284556A)

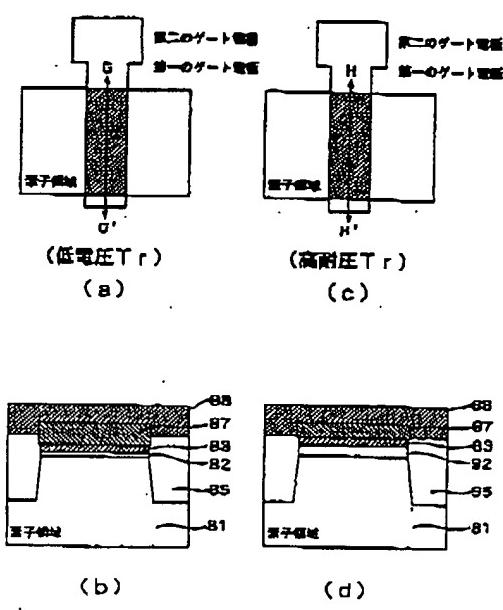
【図2】



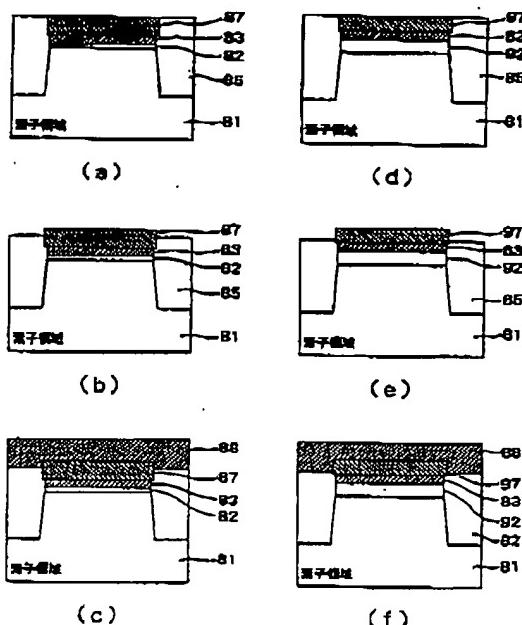
【図5】



【図10】

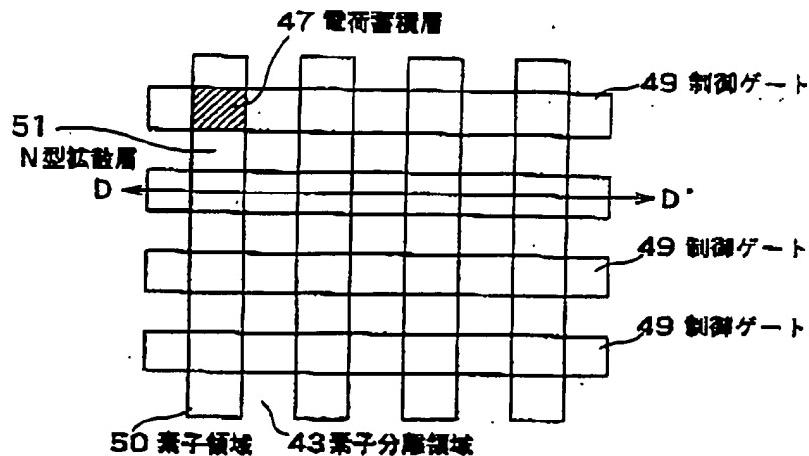


【図12】

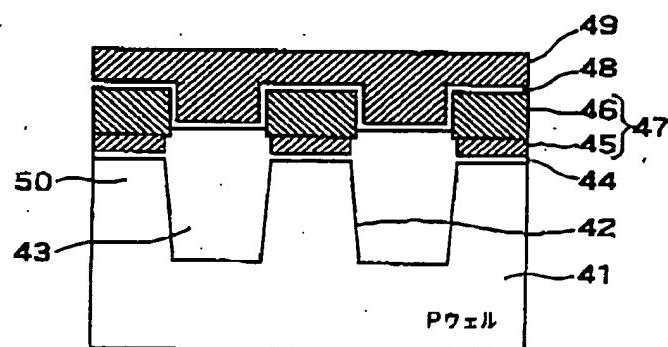


(116) 001-284556 (P 2001-284556A)

【図4】



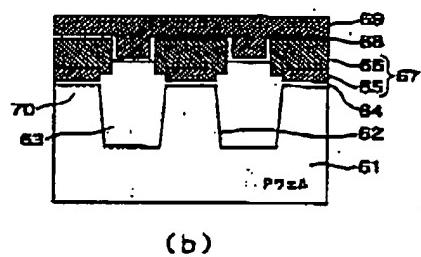
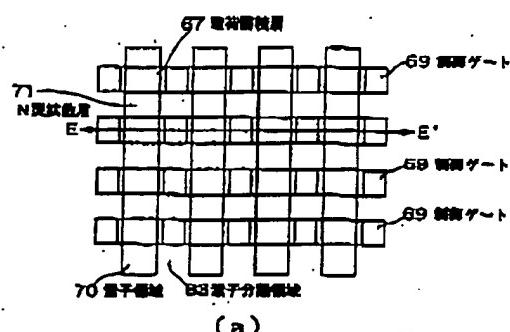
(a)



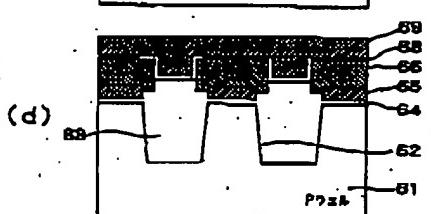
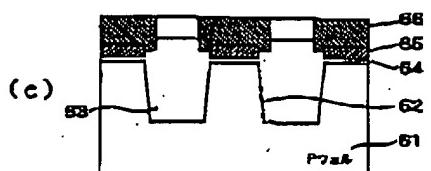
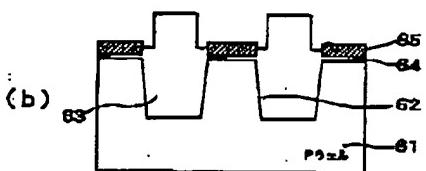
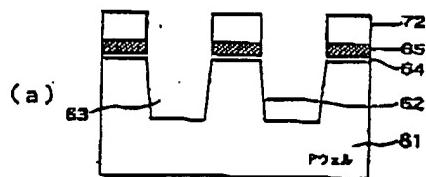
(b)

(1'7) 001-284556 (P 2001-284556A)

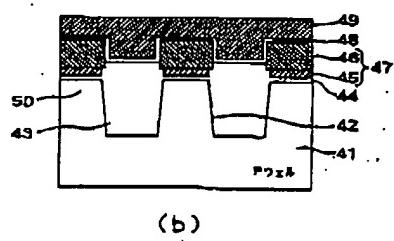
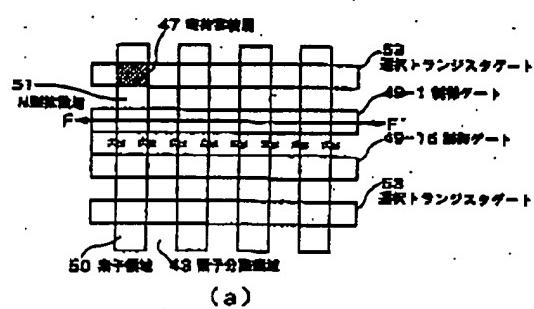
【図7】



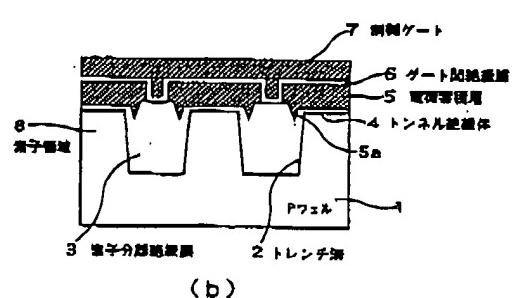
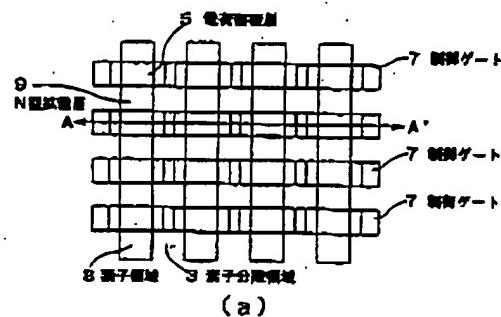
【図8】



【図9】

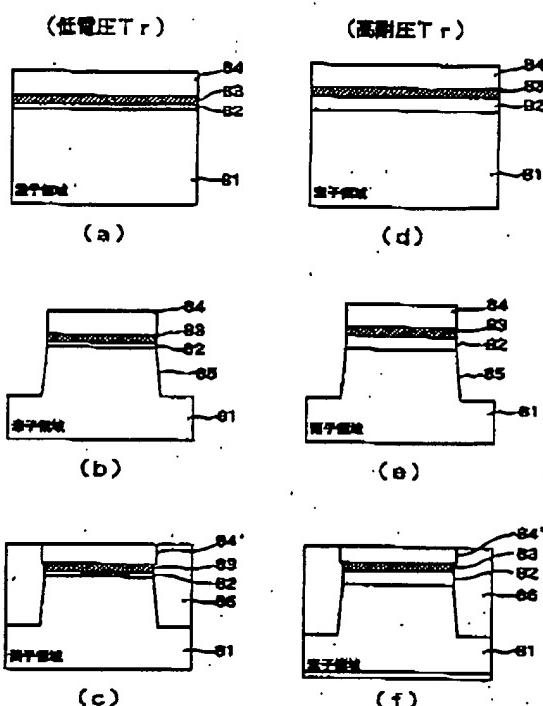


【図15】

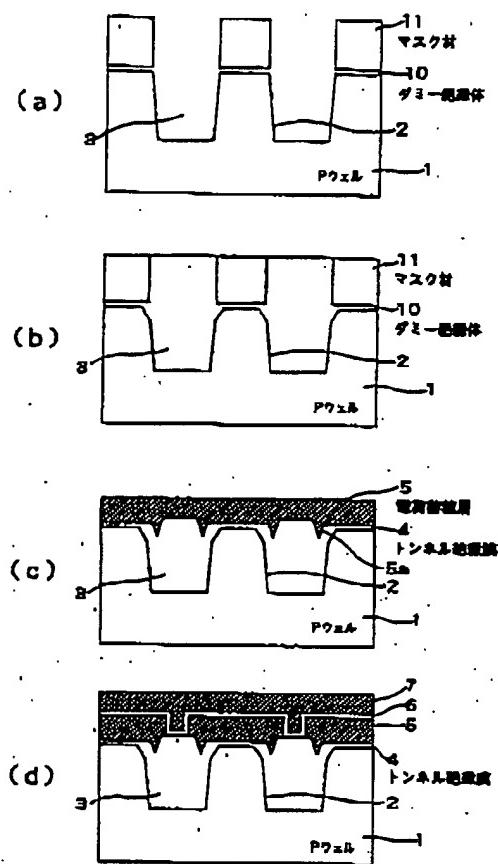


(18) 001-284556 (P 2001-284556A)

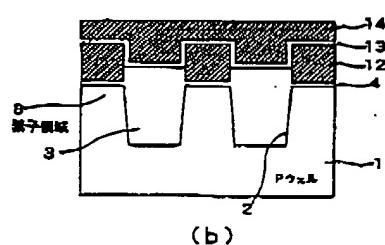
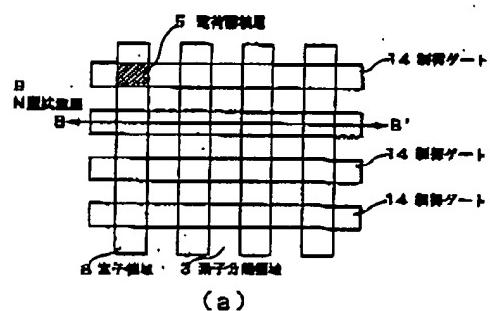
【図11】



【図16】

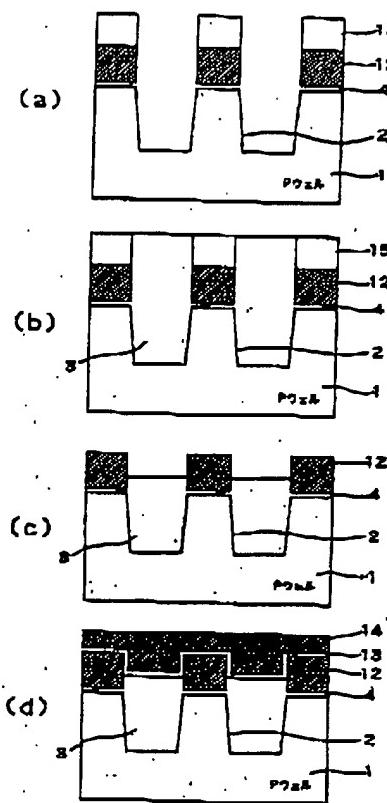


【図17】



(19) 001-284556 (P2001-284556A)

【図18】



フロントページの続き

Fターム(参考) SF001 AA08 AA30 AA32 AA34 AA43
 AB02 AC01 AD60 AG07 AG10
 SF032 AA34 AA44 AA45 AA77 AA79
 CA17 CA21 DA22 DA33 DA80
 SF083 EP04 EP05 EP08 EP27 EP32
 EP42 EP53 EP76 EP78 EP79
 ER03 GA09 JA04 JA33 JA35
 JA36 JA39 NA01 PR03 PR29
 PR39 PR40
 SF101 BA12 BA14 BA16 BA23 BB02
 BC01 BD35 BH14 BH19

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.